

친환경 스마트 선박부품 기술연구센터



주관연구기관
충북대학교

홈페이지
msis.cbnu.ac.kr

주관연구책임자
김형원

주소
충북 청주시 서원구 충대로1 충북대학교 E9동 304호

학과(부)
전자공학부

센터 소개



본 연구센터는 인공지능 시스템반도체 및 핵심요소 기술을 개발, 고확장성 메모리 통합 타일형 AI 시스템반도체 개발 등을 목표로 연구를 수행하고 있음. 이를 통해 충청권역 시스템 반도체 산업의 미래 성장 동력의 기반을 마련하고자 함.

연구 목표

- AI SoC 크기/전력소모 최소화 및 성능 최적화 기술 개발
- 타일 확장용 interface 및 NoC (Network on Chip) 구조 개발
- 디지털 타일 및 메모리 타일간 라우팅 및 저전력 멀티칩 인터페이스 개발
- 스마트팩토리 및 스마트모빌리티 AI 응용시스템 개발 및 멀티칩 기반 AI SoC 성능 검증
- 참여기업 협업 기반 스마트팩토리/스마트모빌리티 상용화 추진 및 충청지역 AI SoC 분야 연구인력 양성

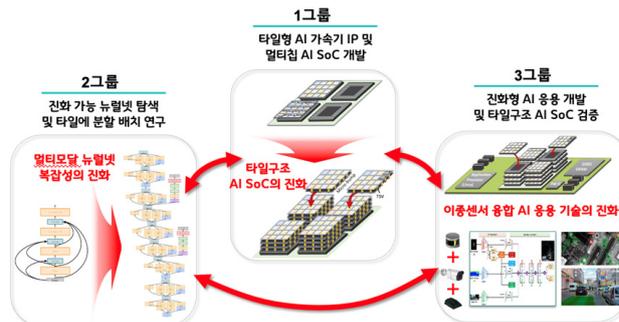
연구 내용

<1단계>

- **1그룹**
 - » 타일구조의 AI SoC 아키텍처 연구 및 뉴럴넷 진화에 따라 확장 가능한 타일 IP 구조 개발
 - » 재구성 가능한 AI 가속기의 Processing Element(PE) 및 적응적 양자화 가능 연산기 개발
- **2그룹**
 - » AI SoC의 리소스 제약을 반영한 딥러닝 뉴럴넷 모델 압축 및 구조 탐색 방법 연구 개발
 - » 각 진화 단계의 타일 구조 및 갯수, 메모리 크기 결정을 위한 알고리즘 연구
- **3그룹**
 - » 단일칩 타일구조 AI SoC의 칩검증 및 상용 수준 AI 응용 S/W 플랫폼 개발
 - » 진화형 AI SoC 기반 스마트팩토리 실내 위치인식 및 불량검출 응용기술의 아키텍처 연구

<2단계>

- **(1그룹) 고확장성 메모리 통합 타일형 AI 가속기 SoC 개발 및 멀티 타일 AI SoC 개발**
 - » 멀티칩 SoC용 계층적 메모리 개발 및 eDRAM 또는 차세대 온칩 메모리통합 멀티칩 개발
 - » 수평형 멀티칩 타일구조 AI SoC칩 제작 및 TSV 기반 수직 적층형 멀티칩 개발
- **(2그룹) 멀티칩 타일구조에 최적화된 진화가능 뉴럴넷 탐색 및 타일 배치 자동화 개발**
 - » 멀티칩 타일구조 AI SoC용 상황 변화에 따른 진화형 대규모 뉴럴넷 구조 탐색 방법 개발
 - » 멀티모달 멀티 태스크를 멀티칩 AI SoC 환경에서 실시간 뉴럴넷 자동 탐색 및 최적의 타일 배치 자동화 플랫폼 개발
- **(3그룹) AI SoC의 성능최적화 및 스마트 플랫폼 응용 상용화**
 - » 비정형 환경에 강인한 스마트 모빌리티 AI 응용 개발 및 멀티칩 AI SoC에 적용 및 칩검증
 - » 스마트팩토리 및 모빌리티용 검증 환경 구축 및 멀티칩 AI SoC 기반 상용화시스템 개발



- 총 39명 참여(교수급 11명, 박사급 7명, 박사과정 9명, 석사급 4명, 석사과정 5명, 기타 3명)

참여 연구원